第1章

ディジタルFMレシーバ設計のポイント

Design Wave 設計コンテスト2005 総評

和田知久，林 輝彦



本誌2005年5月号において，Design Wave設計コンテスト2005の入賞者を発表した．ここでは，課題に対する回路設計上のポイントを解説する．Professional部門の入賞者を決定するにあたっては，技術的な評価のために，エンジニアの方々にご協力いただいた．その審査委員の一人である林輝彦氏に，Professional部門の総評をお願いした．もう一方のStudent部門については，琉球大学にご協力いただき，同大学主催の「LSIデザインコンテスト2005」を同部門とさせていただいている．主催者であり，かつコンテスト課題作成者でもある和田知久氏に，Student部門の総評をお願いした．　（編集部）

コンテストの課題と設計のポイント

和田知久

本年度のコンテストの設計課題は，ポピュラな無線通信方式であるFMレシーバ回路です．FM（frequency modulation）は周波数変調の意味で，音声などのアナログ信号の値の変化（強弱）を正弦波の周波数の変化に変換して電波として伝送する方式です．FM変調は有名な方式なので，多数の通信系の教科書に解説や回路に関する記述があります．しかし，教科書で紹介されている回路はアナログ方式の回路です．今回はFM変調された正弦波信号をA-Dコンバータ（アナログ-ディジタル変換器）にてディジタル化したことを前提に，ディジタル方式のFM復調回路の設計を行いました．

図1にシステム構成図を示します．システムは大きく分けて，送信信号生成部（SigGen），そのSigGenの出力値に比例して周波数の変わるVCO（voltage controlled oscillator），A-D変換器（ADC），そしてそのディジタル化されたFM信号を復調するFMレシーバ（FM Receiver）から構成されています．VCOは電圧制御型発振器であり，通常の回路構成では入力値は電圧信号で与えられるので，VCOという名まえになっています．図1からわかるように，SigGenの値が−1のときはある低めの周波数の正弦波

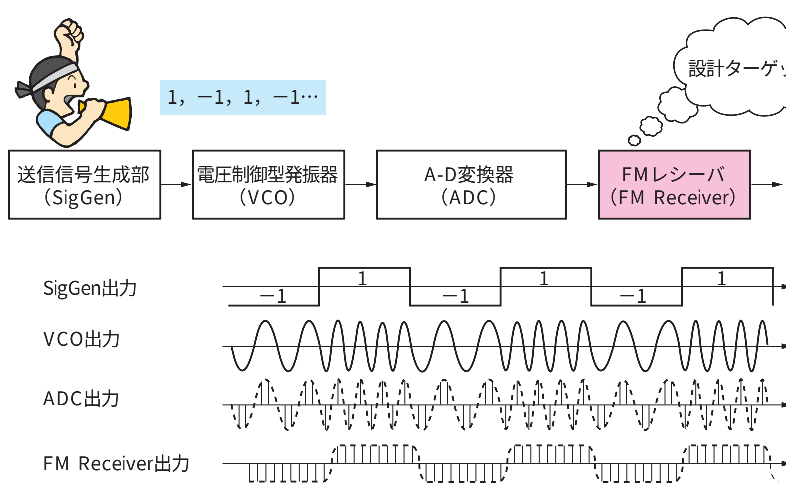


図1
システム・ブロック図

を生成し，1のときは高めの周波数の正弦波を出力しています．ADCはある一定のクロック周期ごとにアナログ波形の電圧値をディジタルの数値に変換します．FMレシーバはそのディジタル化された信号を入力として，送信情報の復調処理を行います．

典型的なFMレシーバの実現方法の一つとして，アナログ方式のPLL(phase-locked loop)をそのままディジタル的に実現する方式があります(図2)．位相比較器を乗算器で，ループ・フィルタをIIR(infinite impulse response)型ディジタル・フィルタで，電圧制御型発振器(VCO)を数値制御発振器(NCO)で，ローパス・フィルタをFIR(finite impulse response)型ディジタル・フィルタで実装することにより，完全ディジタルの回路を実現することができます．しかし，このような実装では乗算器が複数必要になります．また，NCOを実現するには三角関数値を保存するためにやや大きめのROM(cosROM)が必要となり，回路規模が大きくなり，遅延時間も増大してしまいます．

コンテストでは，PLLベースの回路をディジタル化したときにいかに最適化するかというアプローチと，PLLベースではなくまったく異なるアプローチの受信回路を実現する方法の2通りが見られました．

Professional部門総評

林 輝彦

LSI設計に従事している設計者にとって，たとえ複数の設計者がチームとしてその設計を行ったとしても，方式，アルゴリズム，アプローチといった面で，すべての可能性を探索してつねに最適な選択をすることは非常に難しいことです．もちろん，担当者はつねに最適な選択をするように最大限の努力をしていることでしょう．自分としては与えられた目標，仕様に対して，最適な設計が行えたと思っていても，自分とはまったく環境の異なる設計者が同じものを設計した場合，その設計者は自分がまったく予想していなかった「解」に到達していることがしばしばあります．

設計コンテストは，一つの目標，課題に向かって多くの参加者がいろいろなアプローチで挑むことで，お互いにその設計の実現手段，設計の技術を比べあって切磋琢磨しあう，たいへん有用な機会になると思います．Design Wave設計コンテストは今年で6年目を迎えました．今年はProfessional部門の審査員として参加させていただきましたが，どの応募作品もレベルが高く，すばらしいアイデアが盛り込まれた設計を拝見することができ，たいへん貴重な経験をさせていただきました．

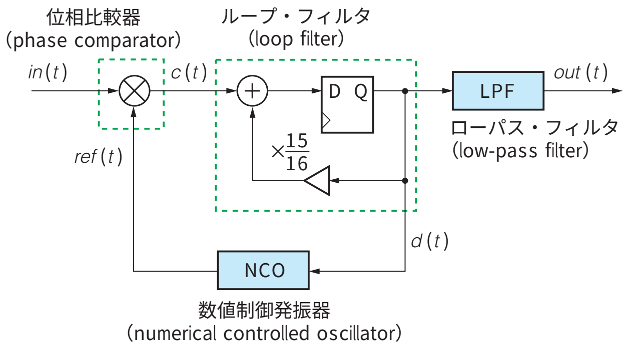


図2　PLL方式によるFM復調回路

● 審査結果

「Design Wave 設計コンテスト2005」の入賞者は以下の方に決定しました．

- 1位　山本健児，横田雅也
- 2位　田中宏昌
- 3位　チーム エクセス(里見尚志，大谷卓也，佐藤高志)

(敬称略)

賞品として，第1位の山本氏と横田氏には，沖縄における発表会講演を兼ねた2泊3日の沖縄旅行のほか，副賞のハード・ディスク付きDVDレコーダ(東芝「RD-XS36」)とディジタル・カメラ・セット(コニカミノルタ「DiMAGE Z5B」，512MバイトSDカードなど)，そして第2位の田中氏には，パソコン(米国Apple Computer社の「MAC mini」)とディジタル・オーディオ・プレーヤ(Apple Computer社の「iPod Shuffle 1GB」)，第3位のチーム エクセスには，ディジタル・オーディオ・プレーヤ(Apple Computer社の「iPod Shuffle 1GB」)2台とETC車載器(デンソー「DIU-3500」)が贈られました．

● PLL方式の設計

PLL方式によるFM復調は，コンテスト課題の中で一般的なFM復調回路として具体的な回路も含めた説明があったこともあり，Professional部門ではやや敬遠された感が

あります．しかし，PLL方式は今回の例のような各種信号の復調，周波数の合成，クロック発生，スキュー除去など，今日のLSI設計において幅広く用いられています．とくに今回のような，PLL内部の発振器としてNCOを用いる方式のPLLは，今後いろいろな分野で主流になるだろうと思われます．設計者としてはうまく使いこなしていくことが重要といえます．

PLLは一種の負帰還回路であり，入力信号に合わせて内部の発振器を追従させる制御ループを構成しています．このため，制御システムとしてのふるまいの把握，安定性の判断などが必要です．Professional部門でPLL方式を採用するのであれば，こうした制御システム面の議論・評価を期待します．今回は，あまり深く追求したレポートがなかったのが残念です．

制御システムとしてPLLをとらえた場合，位相比較器として乗算器を使用するPLLでは，入力信号の振幅が小さくなるとPLL全体のループ・ゲインが低下し，入力信号へ内部の発振器が追従する応答が悪くなることが予想されます．こうした問題の存在をあらかじめ見通したうえで独自のAGC（automatic gain control）回路を設計し，PLLにFM信号を入力する前に信号の振幅を調整した設計があり，第3位に入賞しました．この設計ではNCO出力のcosテーブルを放物線で近似計算する方法を導入し，ループ・フィルタ，ローパス・フィルタに乗算器を使用しない簡素な回路を考案するなど，PLL方式としてはもっとも洗練されていました．

●クワドラチャ方式による設計

今回の設計コンテストの課題では，PLLを使用した設計が例として示されました．しかし，Professional部門ではこのPLL方式にかならずしもとらわれない方式による応募が数多く見られました．

クワドラチャ方式はアナログ式のFM復調ではよく用いられる方式です（図3）．FM変調波の中心周波数（搬送波周波数）に対して90°の位相シフトを生じる「位相シフト回路」を通った信号と，元の搬送波を乗算することで復調を行います．FM変調波の周波数が中心周波数からずれると，位相シフト回路を通った信号の位相が90°からずれるため，その結果として搬送波と乗算した積が0を中心として変化することを利用しています（位相差90°のときは乗算結果の平均値が0となる）．

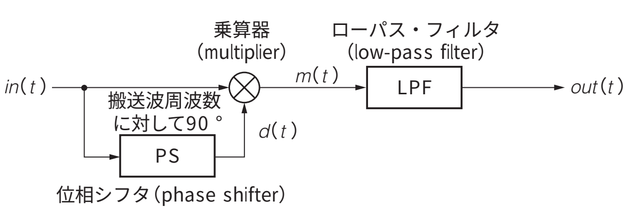


図3　クワドラチャ方式によるFM復調回路

90°の位相シフト回路を構成するための外付けとなる同調コイルが単一のコイルですむこと，必要となる乗算器がLSI化しやすいことなど，LSI化されたアナログ方式のFM復調回路ではクワドラチャ方式が広く用いられています．

クワドラチャ方式をディジタル信号処理でうまく扱うためには，いろいろなくふうが必要となります．今回の課題ではFM変調波の中心周波数が1MHz，サンプリング周波数が16MHzとなっています．90°位相がずれた信号は，中心周波数である1MHzの周期の1/4だけ時間のずれたタイミングでサンプリングされた信号を取り出せばよいことになります．1MHzの16倍の周波数，つまり16MHzでサンプリングされたデータでみると，4サンプルずれたデータがこの90°位相のずれた信号ということになります．このことは，今回の課題の周波数関係をうまく利用すると，特別な位相シフトのための回路を用意しなくても90°の位相シフト回路が実現できることになり，回路全体の規模を小さくするという面でたいへん有利になります．クワドラチャ方式による応募では，いずれもこの特性を用いたコンパクトな回路が設計されていました．

さらにこの考えかたを拡張すると，搬送波と乗算する信号は，FM変調波の中心周波数で直交，すなわち90°あるいは270°（－90°）の位相差が搬送波に対してあればよいことになり，サンプリングを行う時間差をより長くすることで，小さな周波数偏移（周波数の変動量，変調の深さ）であっても大きな復調出力を得ることができます．このしくみを利用して復調の感度を高めるくふうを行った応募もありました．

一方，このクワドラチャ方式は入力信号の大きさ（搬送波の振幅）が変化すると，それに応じて復調出力の大きさが振幅の2乗に比例して変化してしまいます．実際の通信の場面では，到達する信号の振幅が変化すること（フェージング）はよく起こることです．FM変調波の復調回路では，入力信号の振幅変動によって復調出力が変動しにくいことは重要です．そこで，通常のクワドラチャ方式の復調

回路と並列に，振幅の2乗の逆数を求める回路を用意して復調回路の出力と乗算することで振幅補正回路を構成し，出力を一定に保つくふうを行った設計があり，第2位に入賞しました．

アナログ回路のFMレシーバの場合，入力信号をいったんリミッタ回路に通し，振幅変化を取り除いた信号にしてからFM復調器に与えるのが一般的です．こうすることでFM復調出力をフェージングなどの状況でも変動しにくいようにしています．しかし，この考えかたをそのままディジタル回路に適用すると，多くの場合，問題が発生します．

FM変調波の波形は，見かけのうえでは振幅，すなわち信号のピーク値は通常一定です．このことはFM信号のある瞬間における信号の振幅情報（信号の瞬時値）は有効な情報を含んでいないということではありません．アナログ回路でFM信号をリミッタ回路に通すことで振幅を飽和させても，以降のFM復調が行えるのは，アナログ回路ではもともと時間情報が連続であり，FM信号の振幅部分で表現されていた情報はリミッタ回路を通っても，無限の分解能を持つ時間軸の情報で保持されているからと考えられます．ディジタル回路では，信号の振幅は扱うデータ幅によって決まる分解能の中で離散した値で表現されます．時間軸についても，サンプリング周波数で決まる分解能ごとの離散的なデータを扱うことになります．いったんFM信号をリミッタ回路に通すと，FM信号に含まれていた情報のすべてを時間軸の分解能だけで扱うことと等価になり，時間軸方向の分解能から決まる量子化誤差の問題を避けて通れなくなります．クワドラチャ方式に限らず，今回の応募の中にはリミッタ回路を通した後の信号をFM復調することを前提にしている応募が数件ありましたが，こういった点での検討がかならずしも十分ではないと感じました．

● 位相計算方式（直交復調方式）による設計

ある周期波形の位相を時間で微分したものが周波数に対応するということを利用し，FM信号の位相情報を求め，それを時間で微分することで周波数の情報を取り出し，FM復調を行う方式があります（**図4**）．信号の位相，周波数という情報をもっとも直接的に求める方式といえます．ある意味もっとも正統なFM復調アルゴリズムと筆者は考えていたので，この方式を採用する人が多いと思っていましたが，実際には1チームだけの応募となりました．

この方式では入力のFM信号を，位相の計算を行うために90°位相がずれた二つの正弦波（周波数はFM信号の中心周波数に一致させるのが普通）で乗算し，周波数変換を行って二つの直交するベースバンドの信号（I信号とQ信号）に変換します（複素化）．I信号とQ信号を直交座標の情報と見て信号の位相角を求める作業は，直交座標から極座標への変換作業となります．

I信号とQ信号を生成するまでに，90°位相がずれた局発信号を発生する二つの正弦波発振器（NCO），二つの乗算器，乗算器に続く二つのローパス・フィルタを用意する必要があります．ほかの復調方式を採用した応募者の中でも，この位相計算方式を検討したうえで回路規模の面で実用的ではないと判断した方が多かったようです．

実は今回の課題の条件である中心周波数1MHz，サンプリング周波数16MHzの関係を利用すると，複素化の作業をきわめて単純化できます．クワドラチャ方式の際に90°位相の遅れた信号を，中心周波数の周期の1/4ずれた時刻でサンプリングすることで得ていた手法が，このI信号とQ信号を生成する複素化の作業でも応用できます．すなわち，入力信号のFM変調波をI信号とし，この信号を4段のシフト・レジスタに通して遅延した信号をQ信号と見な

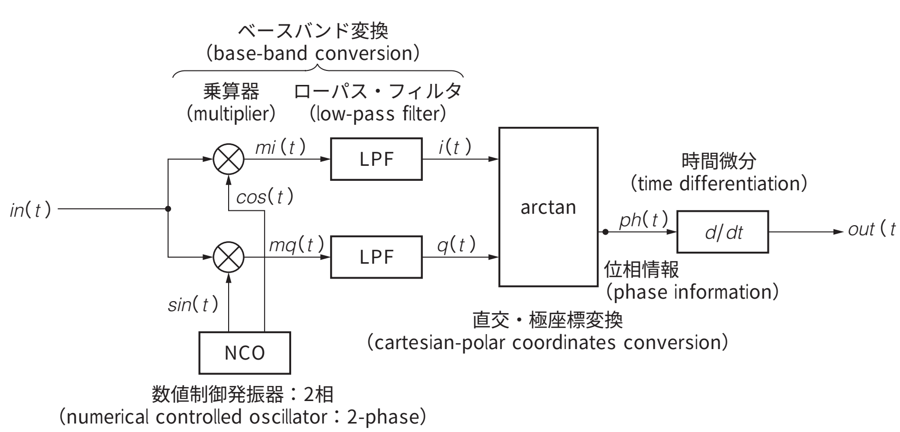


図4
位相計算方式によるFM復調回路

1

せばよいことになります（さらに4段遅延した信号の逆極性を最初のI信号と平均してI信号とする方法もある）．この方法は，入力のFM信号の中心周波数とサンプリング周波数に一定の関係がないと利用できませんが，利用できる場合には回路簡素化の効果が絶大です．

応募のあった設計では，位相角の計算を行うために，折れ線近似を用いたオリジナルのarctan回路を設計していました．このarctan回路は組み合わせ回路で構成され，内部で必要となる割り算回路をビット・シフトと加減算で構成するなど，くふうをこらしたものでした．たいへん緻密に設計されたものでしたが，残念なことに回路規模が大きくなっていました．

直交座標から極座標の変換を行うアルゴリズムとしてはCORDIC（coordinate rotation digital computer）というアルゴリズムが古くからあります．このアルゴリズムは，2次元平面のベクトルを回転する作業によって，直交座標として与えられたベクトルの位相角と絶対値をビット・シフトと加減算だけで求めるものです．きわめて収束が早く，筆者の検討によれば，I信号とQ信号のビット幅をかりに8ビットとするなら，6回の反復計算（ビット・シフトと加減算），12ビットまで拡張しても10回の反復計算で位相角を求めることができます．このCORDICアルゴリズムを利用したFM復調回路の実際例は，過去に本誌でも紹介されたことがあるので，十分な調査を行えば気がついたと思います(1)．CORDICアルゴリズムを使用したFM復調回路を小規模なFPGAに実装してFM放送が実際に聴けるFMレシーバを作ってみることを筆者は考えていますが，しごとに忙殺され，途中で投げ出したままです．

原理的に，位相計算方式のFM復調回路は入力信号の振幅が変動しても復調出力は一定で変化しません．この意味で入力信号の振幅の変動やフェージングに強い方式と言えます．ただし，入力信号の振幅が小さくなれば，当然のことながら入力信号の有効ビット数は少なくなって量子化ノイズの影響を受け，復調出力に含まれるノイズが増大するようになります．入力信号の振幅の低下をなんらかの方法，例えばAGCなどの助けによって補うことは有効な手段です．

● 独自の方式による設計

これまでに説明した三つの復調方式がFM復調としては一般的なものと考えられますが，これ以外に，独自の考えでFM復調の方式を考案したもの，かならずしもFM復調のアルゴリズムとして発表されたものではなかったと思われるアルゴリズムを今回のFM復調に応用したもの，多数のカウンタをベースとするシンプルでユニークな復調回路，高速FSK（frequency shift keying）復調器として特化した設計など，新鮮で感心させられる応募がありました．

今回，Professional部門の第1位になった設計は，まったく独自の視点でFM信号の特性をとらえてFM復調の新方式を考案したものです．また，実際にFPGAに実装してFM復調器としての実用的な性能をデモンストレーションできていることを高く評価しました．

● 設計した回路の性能をどのように評価するか

今回のコンテストでは，‘1’と‘−1’の繰り返しデータを変調したFM波形の復調が正常に動作すること（レベル1），あるいは‘−1’から‘1’の範囲で変化する三角波形をFM変調したものが復調できること（レベル2），という課題が与えられていました．これらの性能を実現したうえでなるべく回路の規模が小さく，動作速度の速い回路を設計するということになります．とくにProfessional部門の場合は，課題をより実践的にするためにFPGAに実装することを前提に設計することが条件となっていました．

実際，今回のProfessional部門への応募のほとんどは実際にFPGAへ実装を行っていました．課題として与えられたFM変調データをもとにFPGAで処理し，その出力波形をオシロスコープの上で表示した例，さらに一歩進めて，音楽信号を変調したFM信号を作成，それを設計したFPGAで処理し，その出力信号をWindowsのWAVファイルとして提出し，復調結果を実際に音声として聞けるようにした例もあり，審査作業もたいへん楽しいものでした．

今回の課題はFMレシーバという，いわば信号処理を行うブロックであり，暗号処理のブロックのように，正しい答えが得られるのか得られないのか，白・黒のはっきりしている性能評価とはやや趣きが異なっていました．審査を終えた感想としては，全体として性能評価という点でもう少し突っ込んだ議論ができると良かったと思いました．例えば実際にFPGAに実装し，「三角波形がきれいに復調できている．単調増加（単調減少）になっている」，「音楽を変調したFM信号を復調してもとの音楽を聴くことができ，ノイズも少ない」ということを確認したとして，これは性能の評価という意味で十分と言えるでしょうか．

性能を考えるとき，原理的，理論的に越えられない性能

の限界が通常は存在します．一方，設計した回路は実際に使用されるアプリケーションによって要求される性能，すなわち「仕様」というものが存在します．当然，仕様は理論的な限界性能よりも低いところに設定されなければなりません．しかし，まったく新しい分野の製品の開発においては仕様の設定がかならずしも合理的に実施されるとは限らず，開発途中に理論的な限界との関係が明白になって（つまり設定した仕様が理論的に実現できないことが設計途中で判明する）仕様を設定し直すことがあるかもしれません．また，回路の方式，アルゴリズムによっては当然，理論的な限界性能が異なってくることもあり，方式やアルゴリズムの選定も重要なかぎとなります．実際の性能は仕様と理論的な限界の中間に位置することになります．設計者にとって自分の設計が「仕様」と「理論的な限界」の間のどこに位置するかを把握することは重要です．

今回のFMレシーバを例にとって考えてみましょう．

例えば，回路的に多くのリソースを必要とする，NCOの出力に位置する正弦波のテーブルの大きさを節約するためにビット幅を削減するとか，極端な例では正弦波の発生，利用はあきらめて方形波を使うことで正弦波テーブルを削除，さらに乗算を単なる補数の切り替えまで簡素化することを考えたとします．こうした回路の簡素化によって性能がどの程度変化（多くの場合，劣化）するかをなんらかの形で定量的に評価しておくことはたいへん重要です．

これらは設計において選択することができるオプションとその性能の相対的な比較ですが，絶対的な性能判断の基準が存在することもあります．例えば今回の課題のFM変調波としてサンプリング周波数16MHzで8ビット幅のデータを想定し，1MHzのFM変調波の搬送波がちょうどこの8ビット幅のフルスケールになっていると仮定します．FM変調の深さを±10kHzとし，変調信号が1kHzの正弦波である場合，理想的なFM復調器にこのFM変調波を入力したときにFM復調器から出力される復調出力（1kHzの正弦波）の信号対ノイズ比（*SNR*）をある周波数範囲，例えばDCから10kHzの範囲で計算することは可能です．復調器の入力におけるノイズは8ビット分解能における量子化ノイズであり，ナイキスト周波数全域に一様に量子化ノイズが分布していると仮定すれば，上に説明した条件における復調出力の*SNR*は80.7dBと計算できます（下掲のコラム「信号対ノイズ比の求めかた」を参照）．

シミュレーションに少し時間はかかりますが，復調出力の1kHz の信号の*SNR*が測定できる程度，復調出力の1kHzにして数サイクルから10サイクル程度のシミュレーションを実行してその波形をFFT解析することで*SNR*を求め，理

1

column ★★★★★★★★★ 信号対ノイズ比の求めかた ★★★★★★★★★★★★★★★★★

FM復調器の出力に現れるノイズは「三角ノイズ」と呼ばれ，ノイズ電圧が周波数に比例して増大するという特徴があります．周波数f(Hz)におけるFM復調器出力の単位周波数当たりのノイズ電力密度n(1/Hz)は，FM信号の最大周波数偏移ΔF(Hz)，FM信号の搬送波の電力C，FM復調器の入力に存在するノイズの密度n_0(1/Hz)によって，以下のように表されます(2)．

$$n=\frac{2n_0}{C}\frac{f^2}{(\Delta F)} \quad \cdots\cdots(1)$$

FM復調器の出力から取り出す信号の周波数範囲をDCからf_u(Hz)とした場合，FM復調器の出力に現れる全ノイズ電力N_pは式(1)を0からf_uまで積分することで求まります．

$$N_p=\frac{2n_0f_u}{3C}\left(\frac{f_u}{\Delta F}\right)^2 \quad \cdots\cdots(2)$$

信号対ノイズ比*SNR*はこの逆数となります．

$$SNR=\frac{3C}{2n_0f_u}\left(\frac{\Delta F}{f_u}\right)^2 \quad \cdots\cdots(3)$$

今，8ビットの分解能でフルスケールの正弦波のFM信号（＝1MHz）をFM復調器に与えていると考えます．このときFM復調器の入力に存在する量子化ノイズN_qは$-6.02\times N-1.76$（dB）の式から，このフルスケールの正弦波より49.92 dB低いレベルにあります．少し乱暴な仮定ですが，この量子化ノイズがサンプリング周波数（＝16MHz）の半分に相当する第1ナイキスト周波数（first nyquist band）の範囲で「一様」に分布していると仮定すると，この量子化ノイズの単位周波数当たりの密度n_0(1/Hz)は以下のように計算できます．

$$n_0=10^{\frac{-49.92}{10}}/8000000=1.273\times10^{-12}(1/\text{Hz}) \quad \cdots\cdots(4)$$

この値と，ΔF = 10kHz，f_u = 10kHz，C = 1（フルスケールのFM信号を仮定）を式(3)に代入すれば，この条件で*SNR*が求まります．

$$SNR=1.18\times10^8=80.7\text{dB} \quad \cdots\cdots(5)$$

FM復調器のノイズを考えるとき，FM信号のレベルが小さくなってFM復調器の入力のノイズ・レベルに近づくと，スレッショルド現象と呼ばれる急激に*SNR*が低下する現象が起こります．このことにも注意する必要があります．

想的なFM復調器と比べて，実際の設計がどの程度劣っているかを調べることは，それほど難しくないと思います．

新しい独自のアルゴリズムを考案した場合や，回路の簡素化，動作速度の向上などのため本来の理想的な状態とは異なる処理の方法を採用した場合には，こうした理想状態との比較がたいへん重要になると考えられます．

参考・引用*文献

(1) Dirk Devisch，鈴木智晴，棚川幸次；LSI化を考慮してアルゴリズムを最適化する，Design Wave Magazine，pp.128-135，1999年12月号．
(2) 伊藤祐弥，藤井章；わかりやすいFM技術，産報出版，1978年6月．

はやし・てるひこ
(株) ソリトンシステムズ

Student部門の総評

和田知久

2005年3月18日，沖縄県那覇空港近くの沖縄産業支援センターにおいて，「第8回LSIデザインコンテスト in 沖縄2005」発表会・最終審査会を開催しました．本コンテストは学生対象にハードウェア記述言語を用いた半導体集積回路(LSI)の設計を行うコンテストです．決められた共通課題に従いつつ，ある程度の自由度を持ちながらオリジナリティのある集積回路を設計することを特徴とします．課題はなるべく現実的でかつその時節にホットな設計課題を初心者の学生でも対応できるようにくふうされています．

学生向けのコンテストは8回目です．昨年と同様に，コンテスト発表会の前の「沖縄でファブレス(工場をもたない)製造業が可能か」というテーマのパネル・ディスカッションとあわせて開催しました．ホームページ(3)でコンテストの告知を行い，本誌の設計コンテストと協力して，2005年1月31日の締め切りまでに沖縄県内52名，沖縄県以外の国内27名，海外20名，合計99名の学生の参加がありました．参加団体は，琉球大学，名古屋大学，千葉大学，大分県立工科短期大学校，早稲田大学，会津大学，徳島大学，京都大学，九州大学，横浜国立大学，長崎大学，そして国外よりインドネシアのInstitute of Technology, Bandung，タイのアジア工科大学，韓国のChosun Universityです．

事前選考の結果，国外の2チームを含む8チームの代表者を沖縄に招待し，琉球大学の3チーム，そして社会人の優勝チーム1チームと合わせ，計12チームによる発表会を行いました．

● 審査結果

Student部門では，発表チームのほとんどがPLLベースのFMレシーバを前提に回路削減などのくふうを行ったものでした．今回は課題がFMレシーバということで，実際にFPGAで実装したチームが多数ありました．その中にはD-A変換，A-D変換を利用して実際に信号の伝送を試みたチームもあり，高い評価を受けました．

回路のくふうではcosROMのワード数を削減するために，三角関数の対称性を利用して規模を削減するチームが多数ありました．それとは異なるアプローチで，三角関数の生成を小さなROMと線形補間によって行うチームもありました．線形補間は多くの審査員が高く評価していたようです．FIRによる移動平均型の低域通過フィルタの実装では，加算器が15個必要なのですが，一部を繰り返し演算と併用することで加算器を2個に減らしているチームが複数ありました．けっこういろいろなくふうで回路規模が削減できるということを印象づけました．

審査の結果，千葉大学のチームスーパー最迅が優勝を勝ち取りました．昨年度，千葉大学は優秀賞であり，今回は優勝をねらって3チームが参加し，2チームが最終審査に残っていました．次回以降も優勝をねらいにきそうで，これまでの常連校(研究室)にとっては強敵の出現といえるでしょう．また優秀賞として，京都大学のチームblusters，大分県立工科短期大学校のチームOIT'sがそれぞれ選ばれ，琉球大学情報工学科のチームスナック比嘉とチームCA℃に学科長奨励賞が贈られました．

- **優勝：Outstanding Design Award**
  チーム スーパー最迅
  (千葉大学 4年 小川陽太，研究生 若林秀明)
- **優秀賞：Special Feature Award，Senior Designers Section**
  チーム blusters
  (京都大学 修士1年，芦田純平，下津佑介，森江太士)
- **優秀賞：Special Feature Award，Fresh Designers Section**

チーム OIT 's（大分県立工科短期大学校 2年 赤波江幸太）

- **琉球大学 学科長奨励賞 Faculty Chair Special Award**
  チーム スナック比嘉
  （琉球大学 2年，根保光秀，仲西徳洋，ポセイドン比嘉雅樹）
  チーム CA℃
  （琉球大学 2年，大城堅治，任家林，西銘正輝）

（敬称略）

● PLL方式と直交復調方式

今回のFM受信回路を実現する方式としては，ほとんどのチームが課題で例として示されたPLLベースの回路をもとにして改良を行っていました．その中で，チーム おにぎり10個（千葉大学）は，入力信号にcosとsinを掛ける直交復調という方式で挑戦してきました（**図5**）．sin，cos波形をそのまま生成すると回路規模が大きくなるので，1，－1間で遷移する方形波で近似することで乗算を加算に変換するなど，良いくふうがありました．しかし，後段で必要となる割り算は単純な割り算回路を使用しており，arctanの計算も大きなROMを用いていました．このあたりについてもくふうがあれば，優勝できたような気がします．

社会人ではPLL方式以外の方式がかなり多かったのに対して，学生ではこのチームだけが異なる方式でチャレンジしていました．

● ROMサイズの縮小

例題の回路構成を実際に設計してみると，もっとも回路規模が大きい回路モジュールはcos波形を生成するROM（cosROM）であることがわかります．多数のチームがこのROMサイズの縮小を行いました．

図6にチームOIT 'sのcosROM削減方法の図を示します．cos波形は入力の0～2πで1周期となる関数ですが，1/4周期分の波形をうまく利用すれば1周期分の波形を計算することができます．チームにょろにょろ4th（琉球大学）も同様にして1Kワード×8ビットのROMを256ワード×7ビットのサイズに縮小し，さらにROMの精度を1/4に落として32ワード×7ビットで実装し，動作の確認を行いました．8ビットが7ビットになっているのは，4分割すると符号ビットが削減できるからです．

ほとんどのチームは対称性利用による削減を行いましたが，チームスーパー最迅（千葉大学）は異なる直線補間というアプローチでROMサイズの削減を行いました（**図7**）．全周期1Kワード×8ビットを32ワード×8ビットにし，元の32ポイントに一つのポイントをROMで記憶しています．

1

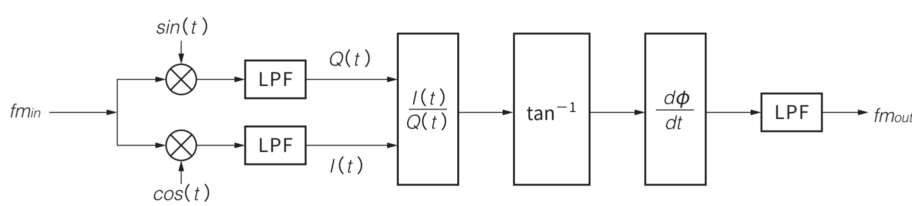


図5
チーム おにぎり10個（千葉大学）の直交復調方式のブロック図

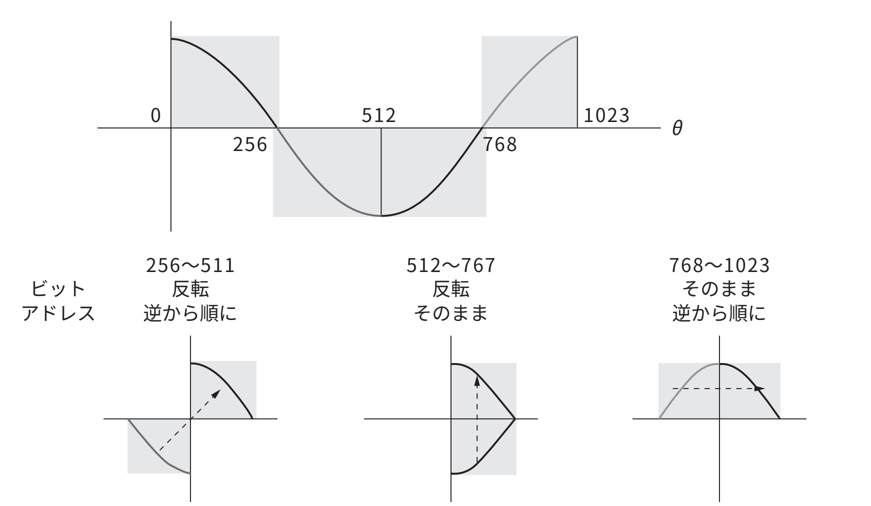


図6
チーム OIT 's（大分県立工科短期大学校）のcosROM削減方法

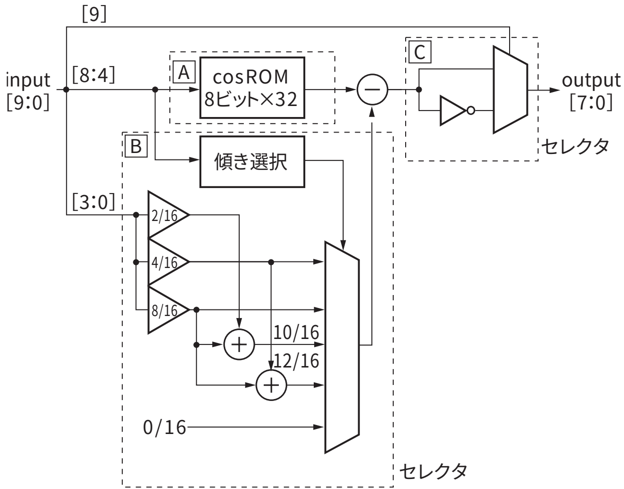


図7　チーム スーパー最迅（千葉大学）の線形補間 cosROM 生成のブロック図

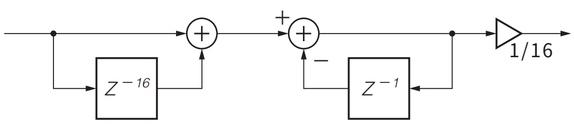


図9　チーム にょろにょろ4th（琉球大学）のCICタイプ・フィルタのブロック図

通常の直線補間ではこの32ポイントのROMの値の引き算で傾きを求めるのですが，彼らは傾きをあらかじめ決めておき，傾きもROMとして選択するようにしています．傾きを純粋に計算するのではなく，値を5種類に限定することで回路削減を行っています．

● フィルタの回路縮小

ループ・フィルタは回路規模の小さいフィルタですが，最終出力前のローパス・フィルタ（LPF）を例題どおりに作れば，加算器が15個必要になります．フィルタの改良として，FIRタイプをIIR型のフィードバックのあるフィルタにして回路を削減するアプローチが何件かありました．**図8**はチームblusters（京都大学）のIIRフィルタです．フィードバックを用いることで，Dフリップフロップ（DFF）と加算器数の削減を行いました．回路からわかるように，固定値と信号の乗算を計算する必要がありますが，固定値を2進数表現にし，なるべく‘1’の少ない値に調整することで，乗算器を構成する加算器数の削減を同時に行っていました．

ほかのアプローチは，16タップのFIRフィルタを同一特性のCIC（cascaded integrator comb）タイプのフィルタに置き換えるものです．**図9**に，チームにょろにょろ4thのCICタイプのフィルタ構成を示します．特性的には16タップのFIRフィルタと同じで，加算器を15個から2個に削減しています．ただし，DFFが2段増加する構成になります．

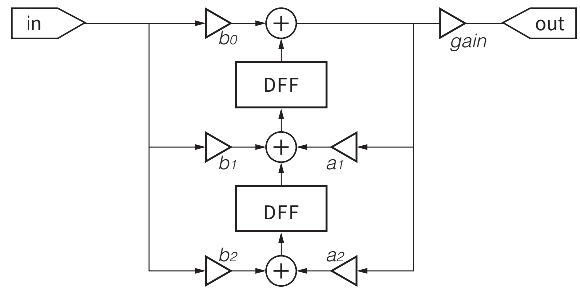


図8　チーム blusters（京都大学）のシリアル乗算器のブロック図

● シリアル方式のアプローチ

回路の削減の方法として，チームざ・ひきこもり（長崎大学）は回路間のデータ転送をシリアルで行う方式を用いました．当然ながら，同じデータ処理速度を実現するには高い周波数の動作クロックが必要ですが，シリアル処理化によって大幅な回路規模の削減を行うことができます．

図10に乗算器のブロック図を示します．ただ，今回の課題の回路では演算に必要なビット数が8ビットから回路内部の16ビット程度まであり，1データを送るのに16サイクルかかってしまいます．PLLのループの動作レスポンスが遅くなってしまったことがマイナスになったようです．しかし，コンテストへのアプローチとしてはおもしろく，良い挑戦でした．

● 今後の予定

琉球大学主催のコンテストは来年以降もオープンな形で，また国際的に参加可能な形で，継続していく予定です．優秀チームの代表者を沖縄へ招待し，本年同様に参加者全員にオリジナルTシャツを，優勝・優秀賞受賞者にたてを出す予定です．ハードウェア記述言語を用いたLSIの設計に興味のある学生諸君の参加を期待しています．

琉球大学のある沖縄は本土から感覚的に遠く，このようなチャンスで学生・教官の交流を深めることができ，非常に有意義なイベントと考えています．また，とくに今回は多数のインドネシア，タイ，韓国からの応募があり，インドネシアと韓国の学生・教官のみなさんにも参加していただきました．沖縄が地理的にアジアに近く，今後アジアと

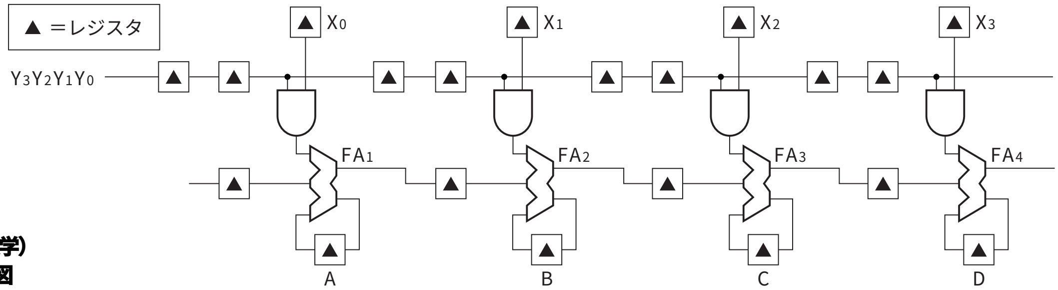


図10
チーム ざ・ひきこもり(長崎大学)のシリアル乗算器のブロック図

表1 発表チーム

	チーム名	氏 名	所 属
1	CA ℃	大城賢治 任家 林 西銘正輝	琉球大学 2年
2	Latch-Up	片山 肇 横張和也	会津大学 3年
3	スナック比嘉	根保光秀 仲西徳洋 ポセイドン比嘉	琉球大学 2年
4	OIT 's	赤波江幸太	大分県立工科短期大学校
5	MSIC	C. H. BEAK	Chosun Univ., Korea
6	Larasati	Y. Verdian N. Rahmatullah D. Ihtatho	Bandung Institute of Technology, Indonesia
7	おにぎり10個	加増裕太 田中圭一	千葉大学 修士1年
8	ざ・ひきこもり	高野智明 休坂慎也 汐留俊介	長崎大学 4年,修士1年,
9	にょろにょろ4th	當間由美 国吉 卓	琉球大学 4年,修士1年
10	スーパー最迅	小川陽太 若林秀明	千葉大学 4年,研究生
11	blusters	芦田純平 下津佑介 森江太士	京都大学 修士1年
12	社会人代表	山本健児 横田雅也	—

表2 審査員

	所 属	氏 名
審査委員長	ソニーLSIデザイン	石川敏郎
委員	東京大学	藤田昌宏 教授
委員	大阪大学	谷口研二 教授
委員	九州工業大学	尾知 博 教授
委員	長崎大学	小栗 清 教授
委員	Chosum University, Korea	Kang-Hyeon Rhee 教授
委員	Institute Technology, Bandung, Indonesia	Sarwono Sutikno 教授
委員	沖縄工業高等専門学校	鈴木龍司 教授
委員	マグナデザインネット	村上修二
委員	ソリトンシステムズ	林 輝彦
委員	CQ出版	西野直樹

の連携を行っていくことが非常に重要であるということを体験を通して学べたように思います.沖縄に遊びに来たいという不純な動機も含めて歓迎しますので,ドシドシ参加をお願いします.

なお,このコンテストは,主催の琉球大学LSIデザインコンテスト実行委員会,共催の琉球大学工学部 情報工学科,沖縄産業支援センター,フロム沖縄推進機構,九州半導体イノベーション協議会,協賛のソニーLSIデザインにより実施されています.

最後に**表1**にコンテスト発表会の参加者を,**表2**に審査員の一覧をまとめておきます.

参考・引用*文献

(3) http://www.ie.u-ryukyu.ac.jp/~wada/design05/contest2005.html
(4) http://www.ie.u-ryukyu.ac.jp/~wada/design05/conference.html

1

わだ・ともひさ
琉球大学工学部 情報工学科 教授

<著者プロフィール>

和田知久.琉球大学工学部 情報工学科教授,ニックネームは「ファイヤー和田」.6年前に大手電機メーカから沖縄にやってきて,楽しく活動中.最近は大容量ディジタル通信のOFDM方式受信器,複数アンテナを用いるアダプティブ信号処理からシステム実装,多数のプロセッサを用いて実装するソフトウェア・ラジオまで,広い範囲を専門としている.那覇にて,LSI設計ベンチャーであるマグナデザインネットのチーフサイエンティストも務めており,南国にて生き生きとがんばっている.

林輝彦.根っからの「ラジオ少年」は学校卒業後,何を血迷ったか,米国系のマイクロプロセッサ会社に就職.16ビット系のコントローラ,プロセッサの開発に従事.以降,今の会社に移り,シリコン・コンパイラ,HDLシミュレータ,アナログ合成など,新しいEDAツールの普及に関わってきたが,管理職になりつつある現在になっても設計実務から足が洗えずにいる.